

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-005353

(43)Date of publication of application : 11.01.1986

(51)Int.Cl.

G06F 11/22

G05B 23/02

H04M 3/22

(21)Application number : 59-125680

(71)Applicant : NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

(22)Date of filing : 19.06.1984

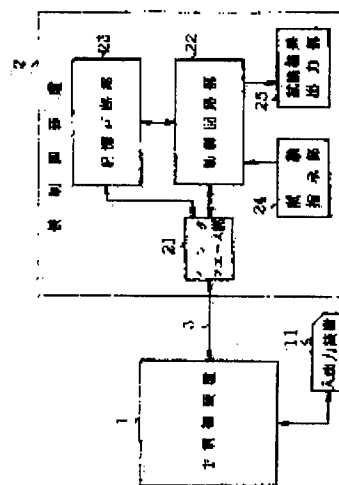
(72)Inventor : MATSUSHITA SHIGEHICO  
HIBINO KAZUHISA

## (54) TEST CONTROL SYSTEM

(57)Abstract:

**PURPOSE:** To reduce the memory capacity by storing a test program to a device to be controlled and connected to a main controller together with a result output part and therefore attaining a test for the function of the device to be controlled from both the main controller and said device to be controlled.

**CONSTITUTION:** A control part 22 is started by a test indication part 24 and stores a single test mode to a specific address in a memory part 23. Then the part 22 reads a test program out of the part 23 and executes a function confirming test of a device 2 to be controlled. The result of this test is informed to a test result output part 25. A command is sent to the device 2 that is started by a main controller 1 via a connection interface line. An interface part 21 informs a test execution indication given from the controller 1 to the part 22. This information is stored to a specific address of the part 23. Then the test program is read out of the part 23, and the function confirming test of the device 2 is executed. The result of this test is stored to the part 23 and then delivered to an input/output device 11 when the test is over.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 昭61-5353

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)1月11日

G 06 F 11/22

7368-5B

G 05 B 23/02

A-7429-5H

H 04 M 3/22

7406-5K

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 試験制御方式

⑯ 特 願 昭59-125680

⑰ 出 願 昭59(1984)6月19日

⑱ 発 明 者 松 下 茂 彦 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内

⑲ 発 明 者 日 比 野 和 久 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 磯村 雅俊

## 明 細 書

## 1. 発明の名称 試験制御方式

## 2. 特許請求の範囲

(1) 主制御装置に接続された被制御装置の機能を、主制御装置または被制御装置から個別に試験し得る試験制御方式において、前記被制御装置に当該被制御装置の機能を試験するための試験プログラムを格納する記憶回路部と、試験結果出力部を設け、当該被制御装置が単独で試験を行う場合は、前記試験プログラムを実行して得られた試験結果を前記試験結果出力部へ出力し、前記主制御装置からの指示に基づいて試験を行う場合は、前記試験プログラムを実行して得られた試験結果を当該主制御装置へ転送することを特徴とする試験制御方式。

## 3. 発明の詳細な説明

## 〔発明の利用分野〕

本発明は、主制御装置に接続された被制御装置の機能を、主制御装置または被制御装置から個別

に試験するのに好適な試験制御方式に関する。

## 〔発明の背景〕

従来、データチャネル、バス、通信リンク等を介して主制御装置に接続される被制御装置の機能を試験する方式として次のような方式がある。

① 被制御装置の機能確認用の試験プログラムを主制御装置側に備え、該プログラムにより予め定められている被制御装置の入出力インターフェース機能条件を試験する。

② 試験プログラムを備えた主制御装置を使用せず、被制御装置単独でも自己の機能確認が行えるよう、単独試験専用の機能を被制御装置に付加し、主制御装置に接続された被制御装置の機能を、主制御装置または被制御装置から個別に試験する。

①の方式の場合は、試験プログラムを主制御装置から被制御装置へ転送する必要がある、主制御装置の処理に負担がかかるといった欠点がある。また、試験プログラムのデバッグ時には、主制御装置と被制御装置とを接続し、主制御装置に備えられた試験プログラムのバグ情報をデータ化して被制御装置

## 特開昭61-5353(2)

置から主制御装置に転送してもらう必要があるため、主制御装置で試験プログラムをファイル化する際の作業が複雑となり、試験プログラムのデバグの効率が良くないという欠点がある。

主制御装置の負担を軽減するためには④の方式により被制御装置が単独で機能確認する方が良いが、この方式には次のような欠点がある。

主制御装置と被制御装置の両方に個別に試験プログラムを備える必要があるためシステム全体としてのメモリ容量が増大し不経済である。また、主制御装置に備える試験プログラムと被制御装置の単独試験用の機能は、それぞれ独立に開発されているため、開発工数が大きくなる。すなわち、主制御装置と被制御装置のCPUが異なる場合、主制御装置の試験プログラムが被制御装置のプログラムに依存するため、異なるアセンブラ言語を意訳する必要があり、試験プログラムの追加、変更が困難である。

## 〔発明の目的〕

本発明の目的は、上記のような従来技術の欠点

を改善するため、主制御装置に接続された被制御装置の機能を、主制御装置または被制御装置から個別に試験し得る試験制御方式において、メモリ容量の低減化、試験プログラムの追加、変更の容易化を図ることにある。

## 〔発明の概要〕

上記目的を達成するため、本発明は、主制御装置に接続された被制御装置の機能を、主制御装置または被制御装置から個別に試験し得る試験制御方式において、前記被制御装置に当該被制御装置の機能を確認するための試験プログラムを格納する記憶回路部と、試験結果出力部を設け、当該被制御装置が単独で試験を行う場合は、前記試験プログラムを実行して得られた試験結果を前記試験結果出力部へ出力し、前記主制御装置からの指示に基づいて試験を行う場合は、前記試験プログラムを実行して得られた試験結果を当該主制御装置へ転送することに特徴がある。

## 〔発明の実施例〕

以下、本発明の一実施例を図面に基づいて説明

する。

第1図は本発明の一実施例を適用した主制御装置と被制御装置の構成図である。

第1図において、1は主制御装置、2は被制御装置、3は主制御装置1と被制御装置2を接続するデータチャネル、バス、通信リンク等の接続インタフェース線、11は主制御装置1用のディスプレイ等の入出力装置である。また、被制御装置2を構成する21は主制御装置1との間で情報授受等を行うインタフェース部、22はプロセッサ等から成る制御回路部、23はプログラムおよび情報格納用の記憶回路部、24は被制御装置2が単独で試験を行う際の実行指示用の試験指示部、25は単独試験実行時の試験結果を出力表示する試験結果出力部である。なお、被制御装置2の機能確認用の試験プログラムは記憶回路部23に格納され、該プログラムは制御回路部22で実行される。

次に、上記構成において、被制御装置2が単独で試験を行う際の動作について説明する。

制御回路部22は、試験指示部24から試験実行の起動を受けると、試験実行起動が試験指示部24からかけられた旨、すなわち、単独試験である旨の表示を、記憶回路部23内の特定番地等に記憶させる。その後、制御回路部22は記憶回路部23に格納されている試験プログラムを読み出し、被制御装置2の機能確認試験を実行する。試験結果は、制御回路部22から試験結果出力部25へ通知される。

試験結果出力部25への通知方式として、被制御装置2の個々の機能に対する試験結果を一括して通知する方式を採用した場合は、個々の試験結果を順次、記憶回路部23に格納し、全体の試験が終了した後、試験結果の全体を一括して試験結果出力部25へ出力する。試験結果の出力先は、制御回路部22が、試験実行起動が被制御装置2の試験指示部24からかけられたものであることを、予め記憶回路部23に記憶しておいた上記表示に基づいて判断することにより決定する。

なお、被制御装置2の個々の機能に対する試験

## 特開昭61-5353(3)

結果をその都度通知する方式では、試験結果が得られるたびに制御回路22はその内容を試験結果出力部25へ通知する。

次に、主制御装置1から試験実行指示が起動された場合の動作について説明する。

主制御装置1は被制御装置2に対し、接続インタフェース線3を介して試験実行指示を示すコマンドを送出する。インタフェース部21は該コマンドを受取ると、制御回路部22に対して主制御装置1からの試験実行指示である旨を通知する。制御回路部22は該通知を受けると試験実行起動が主制御装置1からかけられた旨の表示を、記憶回路部23の特定番地に記憶させる。制御回路部22は記憶回路部23から試験プログラムを読み出し、被制御装置2の機能確認試験を実行し、試験結果を順次記憶回路部23の予め決められた領域に格納していく。

制御回路部22は、試験が完了すると、試験実行指示が主制御装置1からの起動に基づくことを、予め設定した記憶回路部23の特定番地内の情報

に基づいて判断し、主制御装置1への試験完了通知を接続インタフェース線3を介して行う。主制御装置1は該通知を受け取ると、インタフェース部21を起動し、記憶回路部23内の特定領域に格納されている試験結果を主制御装置1へ転送させ、被制御装置2の試験結果を判断し、試験結果を入出力装置11に出力する。

なお、主制御装置1への試験完了通知は、上記のような全ての試験が完了した後に行う方式を採用せず、個々の試験が完了することに試験完了を通知する方式を採用することも可能である。また、試験完了時、被制御装置2が主制御装置1へ通知する方式を説明したが、通知する方式とはせず、主制御装置1で時間監視を行うことにより被制御装置2の試験完了を間接的に判断する方式を採用することも可能である。

このように、本実施例によれば、被制御装置2の記憶回路部23に格納した試験プログラムを、単独試験時と主制御装置1からの試験実行起動時の2つの場合に共用化しているため、システム全

体としてのメモリ容量を低減化することができる。また、被制御装置2を試験するための試験プログラムを主制御装置1から被制御装置2へ転送する必要がなくなる。さらに、主制御装置1と被制御装置2のCPU（制御回路部22、主制御装置1のCPU（制御回路部）は図示省略）が異なっていたとしても、被制御装置2の機能確認のための試験プログラムは被制御装置2に格納され、主制御装置1からの試験実行起動時にもこの試験プログラムを使用するため、従来のように異なるアセンブラ言語を認識する必要がなく、試験プログラムの追加、変更が容易になる。

## 〔発明の効果〕

以上説明したように、本発明によれば、主制御装置に接続された被制御装置の機能を、主制御装置または被制御装置から個別に試験し得る試験制御方式において、メモリ容量の低減化、試験プログラムの追加、変更の容易化を図ることができる。

## 4. 図面の簡単な説明

第1図は、本発明の一実施例による試験制御方

式を適用した主制御装置と被制御装置の構成図である。

1：主制御装置、2：被制御装置、3：接続インタフェース線、11：入出力装置、22：制御回路部、23：記憶回路部、24：試験指示部、25：試験結果出力部。

特許出願人 日本電信電話公社

代理人 弁理士 磯村 雅 俊



特開昭61-5353(4)

第 1 図

